



第十六届核电子学与核探测技术年会

用于点电极HPGe探测器的低温低噪声 CMOS前放芯片研制

清华大学工程物理系

核电子学实验室

指导老师：刘以农、邓智

报告人：朱雪洲

2012年8月16日





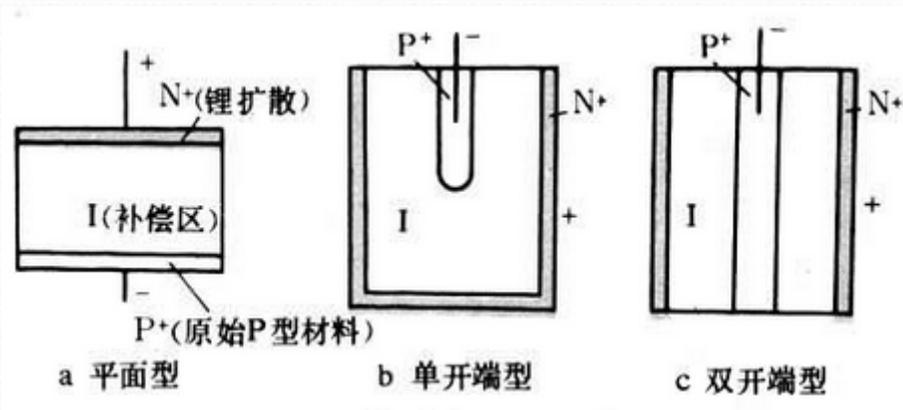
内容

- ❖ 研究背景
- ❖ 电路设计
 - 噪声优化
 - 放电电路
 - 输出级
- ❖ 测试结果
 - 零电容噪声
 - 板材影响
 - 低温测试结果



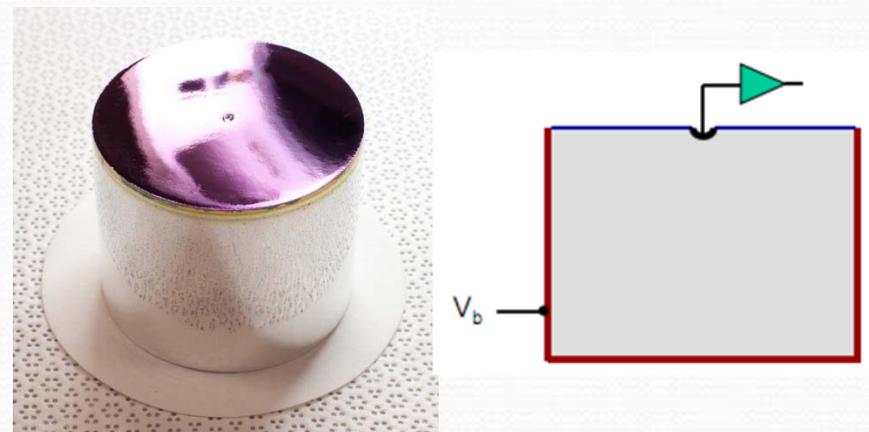
研究背景

❖ 传统HPGe探测器



Cd ~ 10 pF

❖ 点电极HPGe探测器



Cd ~ 1 pF

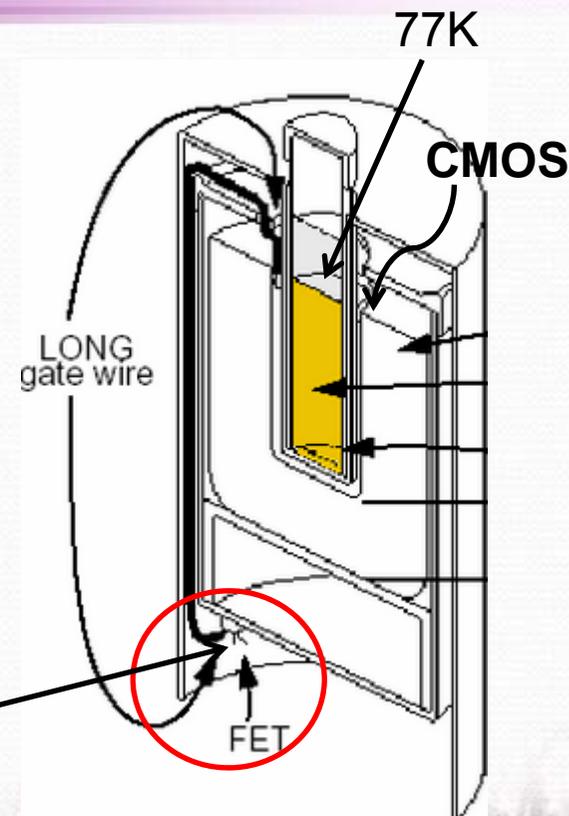




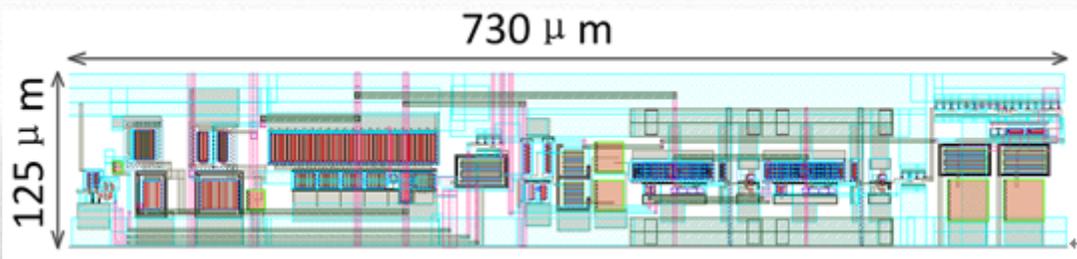
研究背景

❖ CMOS vs JFET

CMOS	JFET
1/f噪声大	1/f噪声小
工作温度越低越好	最佳工作温度120K
可紧靠探测器安装	需要离探测器一段距离



Fully integrated CMOS preamplifier



单通道芯片版图



噪声优化

❖ 输入MOS管的匹配

$$ENC_t^2 = ENC_{sw}^2 + ENC_{sf}^2 + ENC_p^2$$
$$= \frac{(C_f + C_{in})^2}{q_e^2} \left(\frac{4kTR_s F_s}{\tau_s} + \frac{K_f F_f}{C_{ox}^2 WL} \right) + \frac{4kT\tau_s F_p}{q_e^2 R_p}$$

τ_s : 成型时间
 F_s : 串联白噪声指数
 F_f : 串联1/f噪声指数
 K_f : 工艺参数
 q_e : 电子电量

沟道热噪声

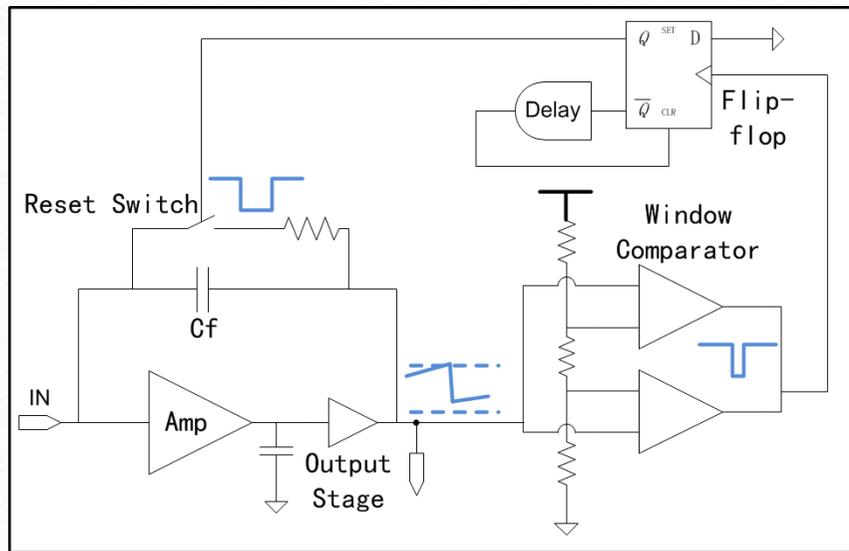
沟道1/f噪声

漏电流噪声

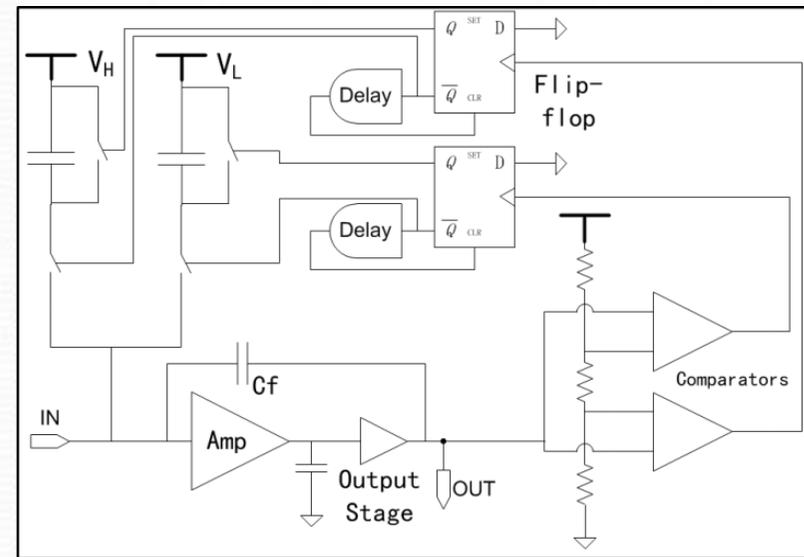


放电电路

❖ 开关放电



❖ 开关电容放电

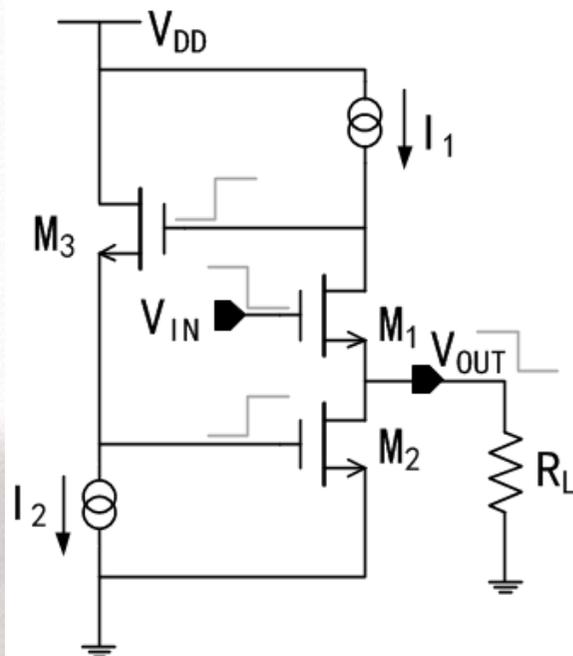




输出级

❖ 指标:

- 200pF容性负载的情况下，输出信号上升时间10ns
- 驱动1kΩ阻性负载，可直接驱动主放





测试条件说明

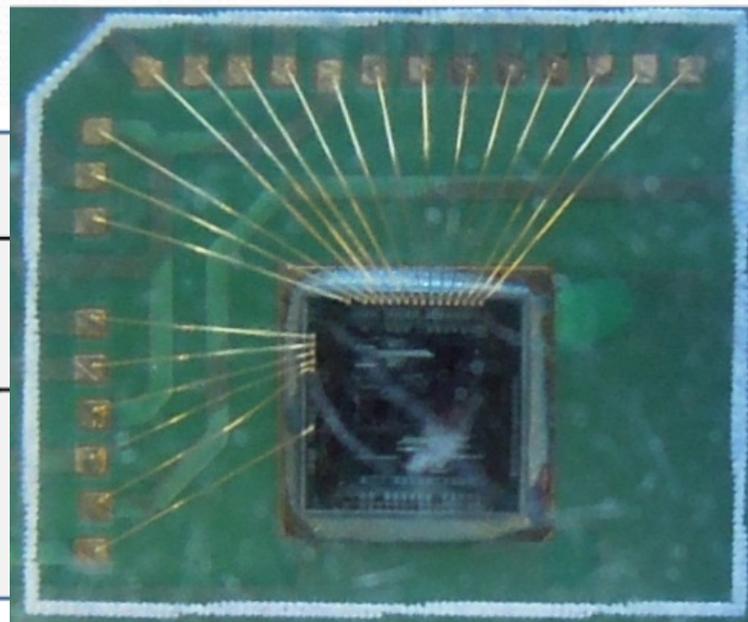
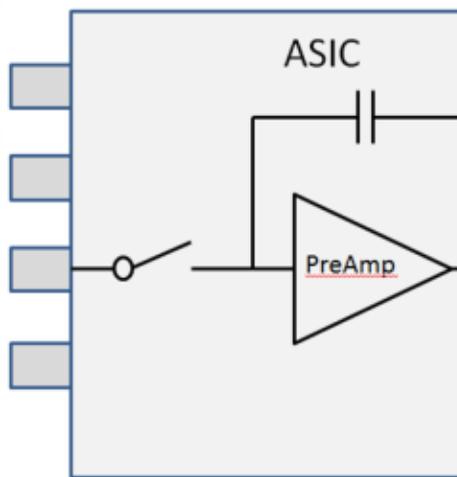
- ❖ 两版芯片
 - 零电容噪声 / 正常应用

- ❖ 裸片 banding

- 防止封装引

- ❖ 电池供电

- 防止电源走



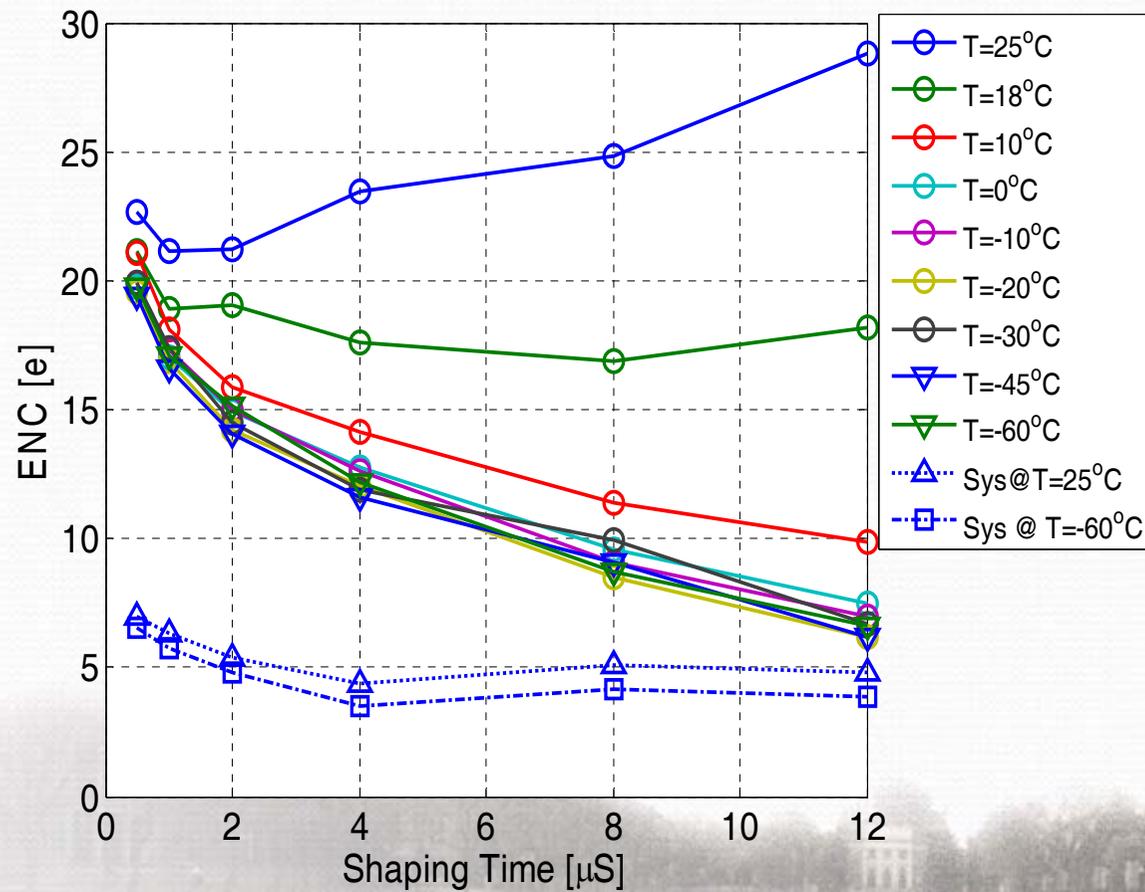
HPGeCSA1

HPGeCSA2

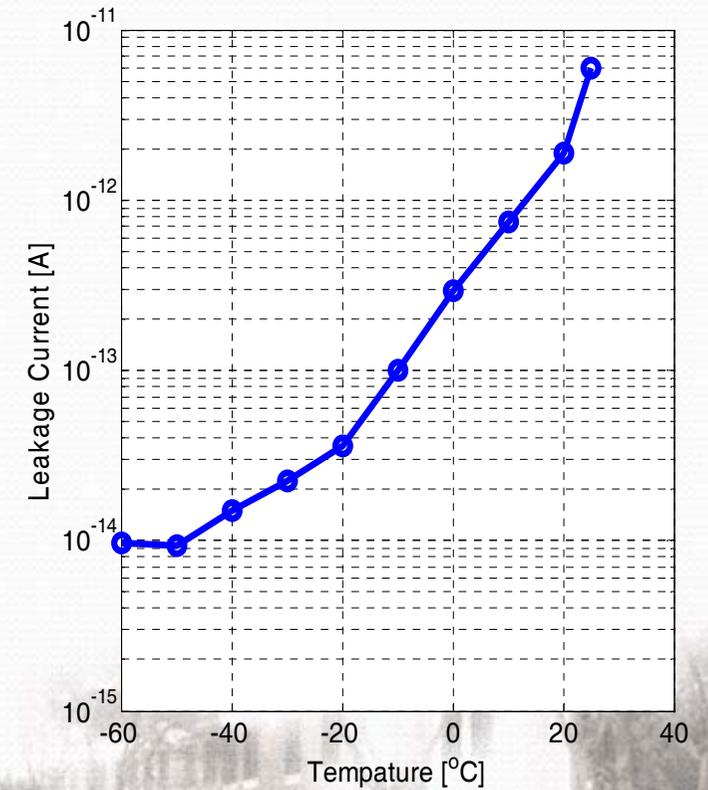


零电容噪声

不同温度下 ENC VS Shaping time



漏电流随温度的变化





板材影响

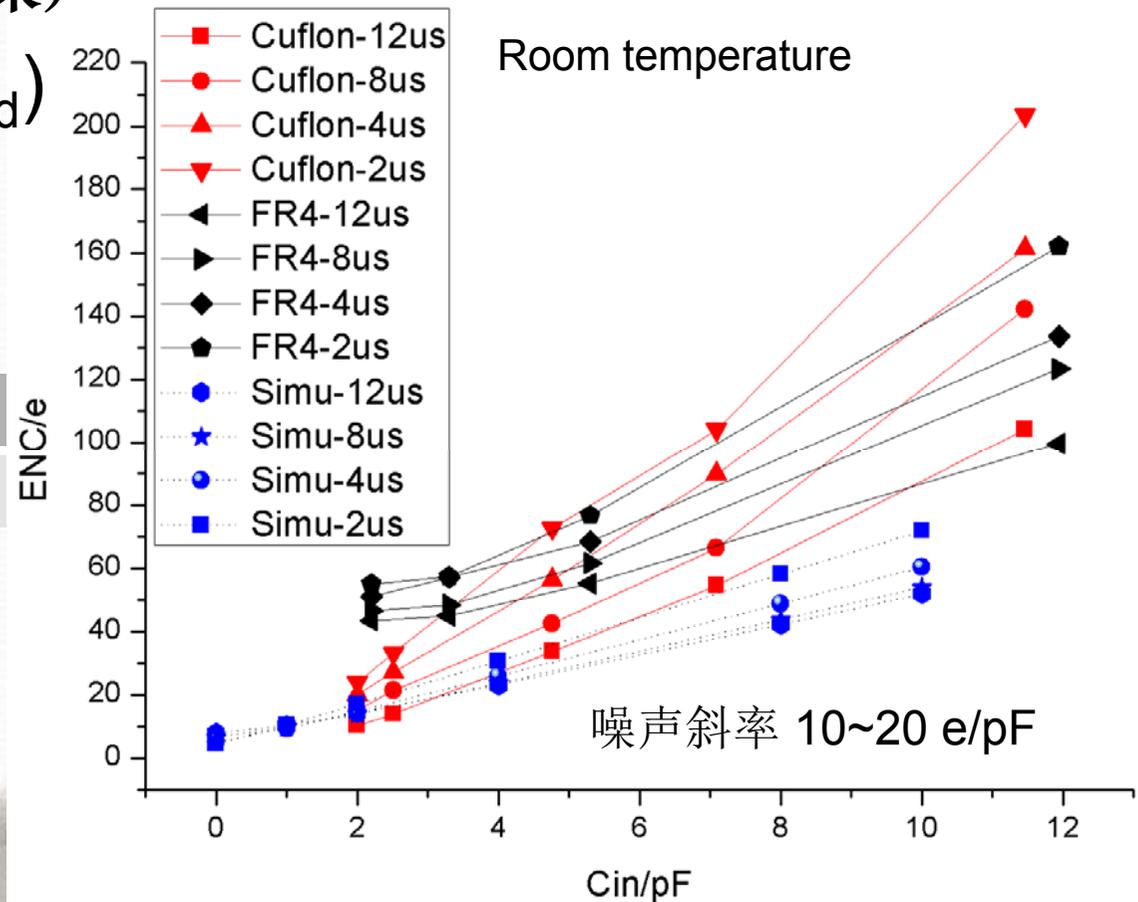
❖ 电解质热波动引入噪声

❖ $(ENC)^2 \approx 2.4kT(D \cdot C_d)$

❖ 和Cin无关

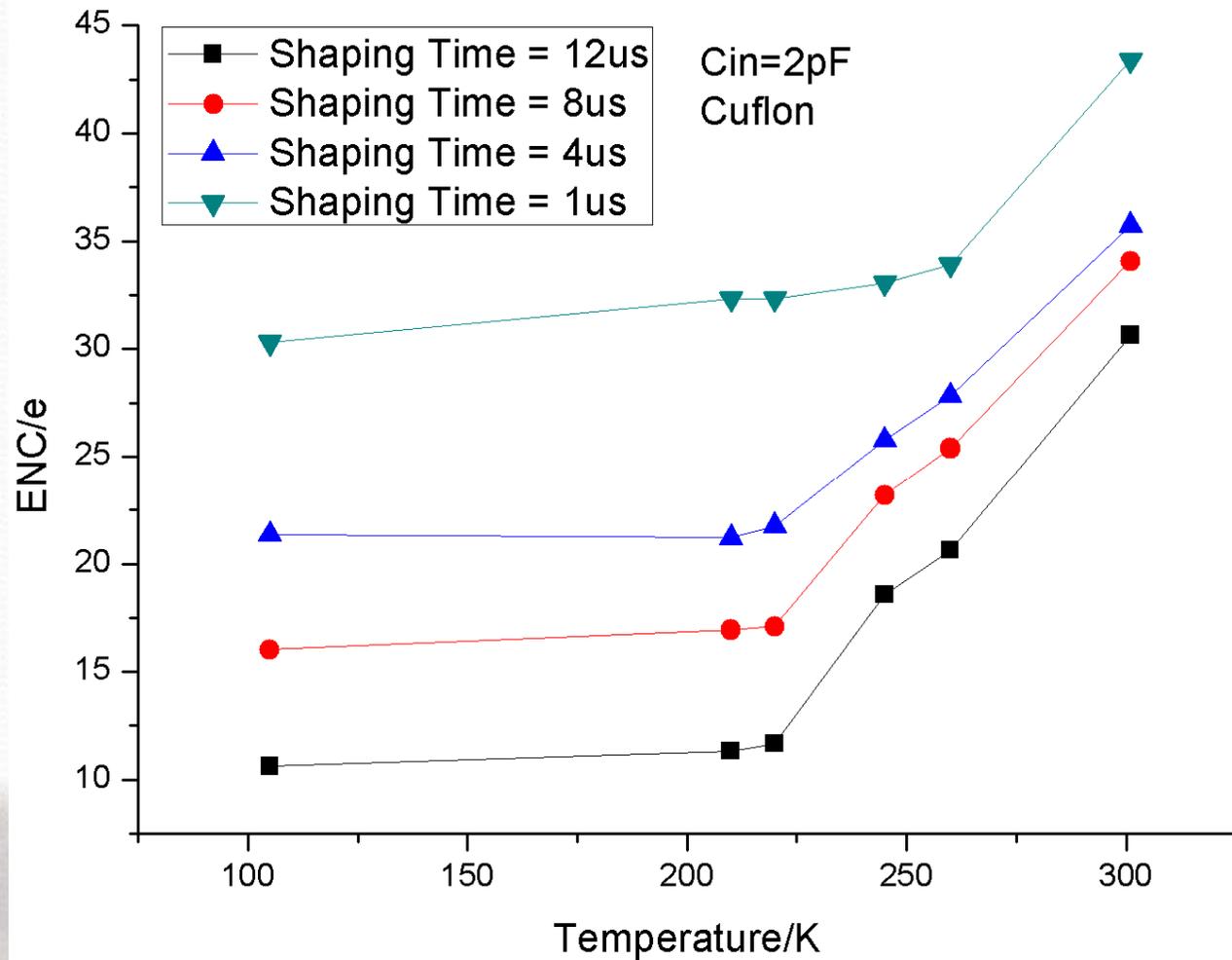
❖ 和成型时间无关

板材	FR4	Cuflon
损耗因子	0.01-0.02	0.00045





低温测试





总结

- ❖ $C_{in} \sim 2\text{pF} \rightarrow ENC \sim 10e$
- ❖ 片内开关复位，直接驱动主放
- ❖ 噪声随温度下降而降低
- ❖ 需选用高频PCB板材和低噪声电源



清华大学
Tsinghua University

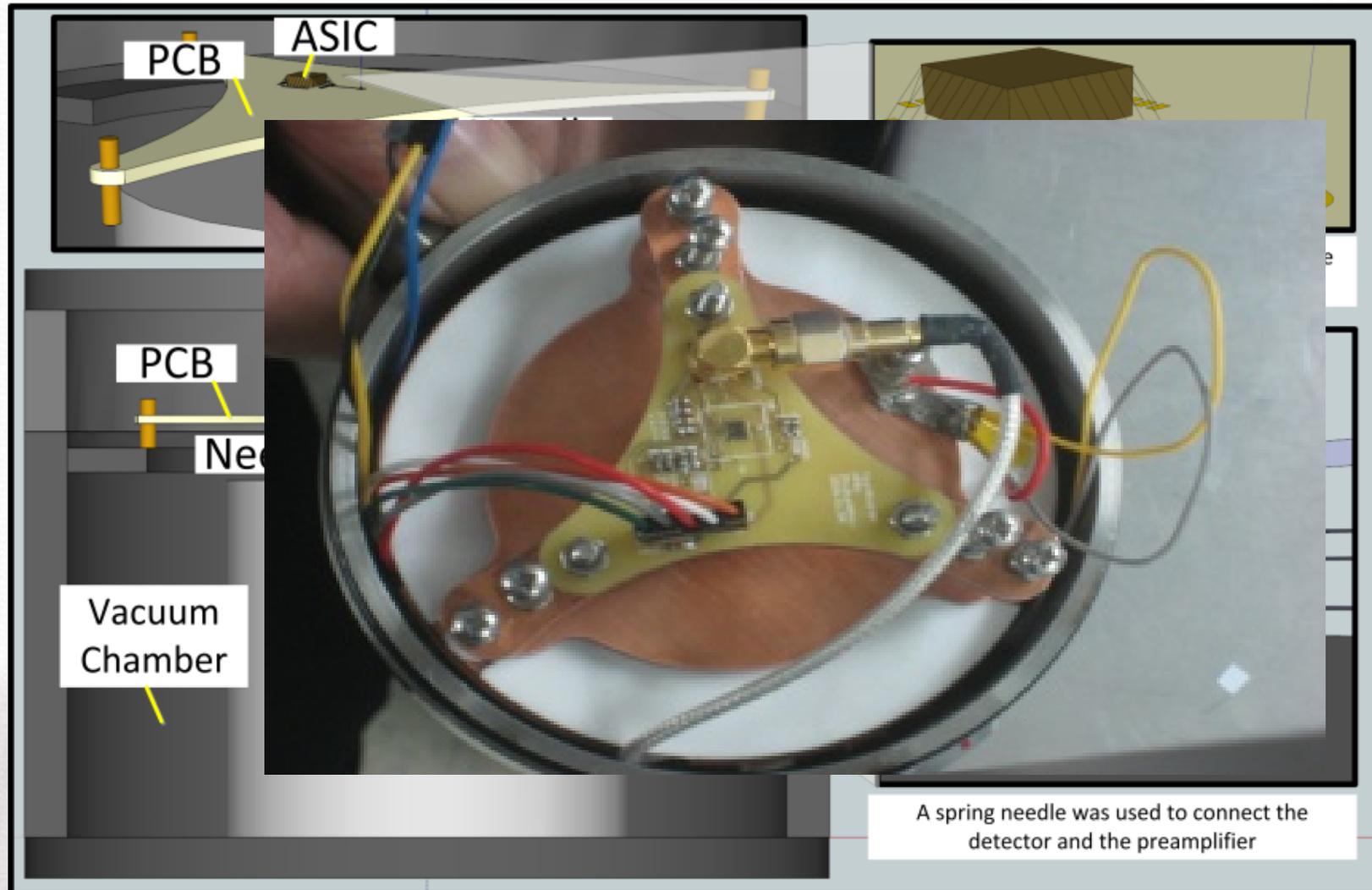
谢谢

❖ 欢迎提问



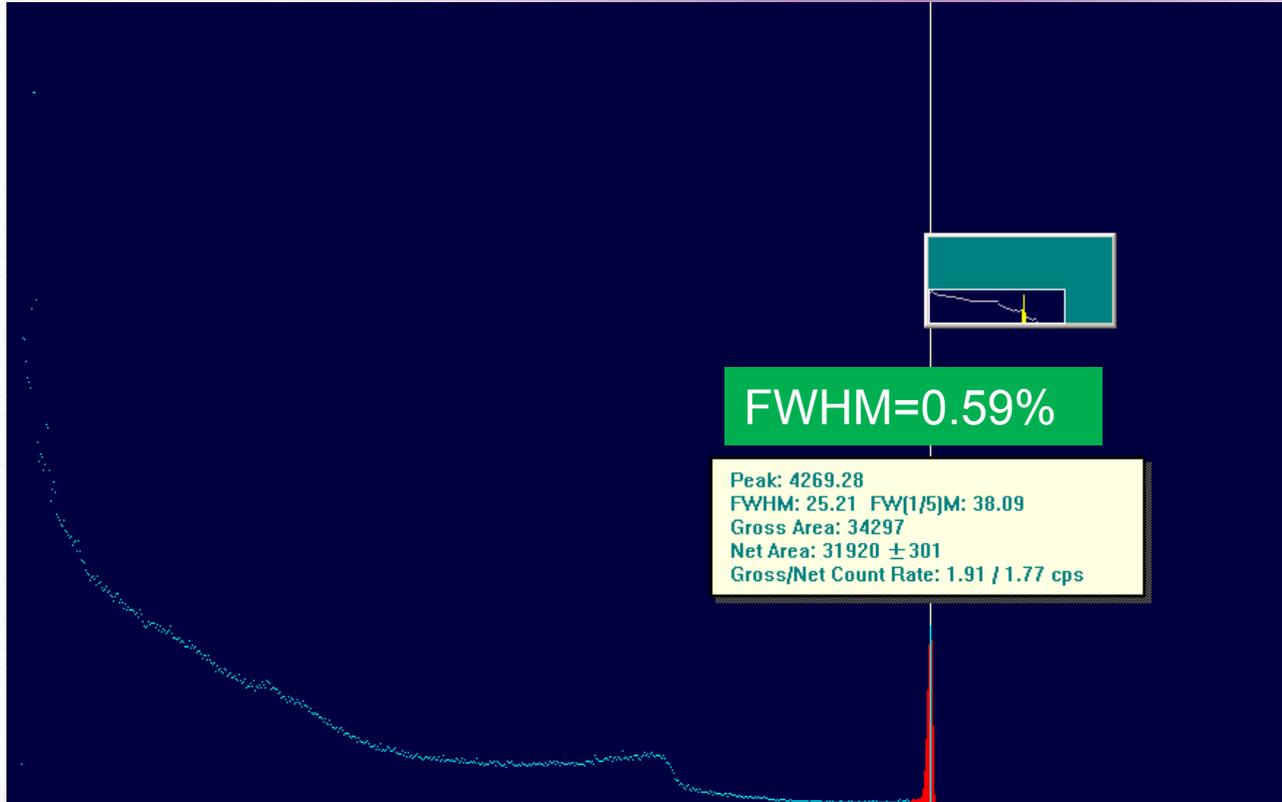


连接探测器的示意图和实物图





连接探测器的初步测试结果



Cs-137 spectrum

The energy spectrum for Cs-137 is shown in Fig.11. The energy resolution for 662keV full-energy peak is 0.59% FWHM.